


DISPLAY DEVICE

Patent number: JP9128182
Publication date: 1997-05-16
Inventor: SAWDON DAVID
Applicant: INTERNATL BUSINESS MACH CORP <IBM>
Classification:
 - International: G06F3/14; G09G5/00; G09G5/12
 - european:
Application number: JP19960212277 19960812
Priority number(s):

Also published as:

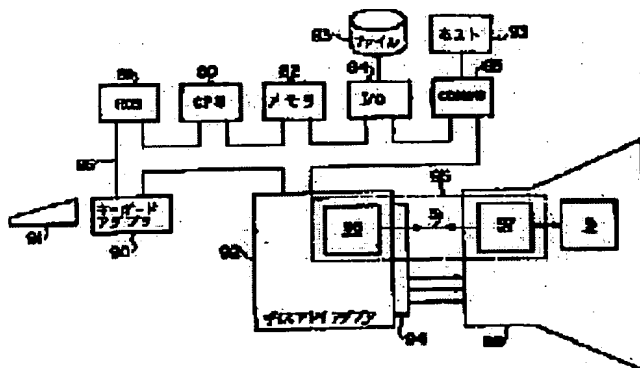
 EP0618561 (A2)
 EP0456923 (A1)
 JP7302068 (A)
 EP0618561 (A3)
 EP0618561 (B1)

more >>

Abstract of JP9128182

PROBLEM TO BE SOLVED: To obtain a display system with a display adapter which is latently compatible with various unlimited display devices by providing a nonvolatile memory(NVM) which stores display information in a digital code form.

SOLUTION: This device is provided with the nonvolatile memory 9 which is arranged on the display device 88 and stores extension control data in plural control codes and communication logic 95 which communicates the control codes between the memory and an output port 94 in response to a command signal generated by a display adapter circuit 92. Control data like important signal timing matters of a new display device can be stored in the form of digital control code held in the memory of the display device, so the programming of the display system has the advantage that the program need not be updated each time a different display device is connected to the output port.



Data supplied from the esp@cenet database - Worldwide

usp 5276458

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-128182

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 3/14	3 2 0		G 0 6 F 3/14	3 2 0 B
G 0 9 G 5/00	5 2 0	9377-5H	G 0 9 G 5/00	5 2 0 W
5/12		9377-5H	5/12	

審査請求 有 請求項の数 8 O L (全 6 頁)

(21) 出願番号 特願平8-212277
(62) 分割の表示 特願平3-80246の分割
(22) 出願日 平成3年(1991)4月12日

(31) 優先権主張番号 9 0 3 0 5 1 5 8 . 9
(32) 優先日 1990年5月14日
(33) 優先権主張国 イギリス (GB)

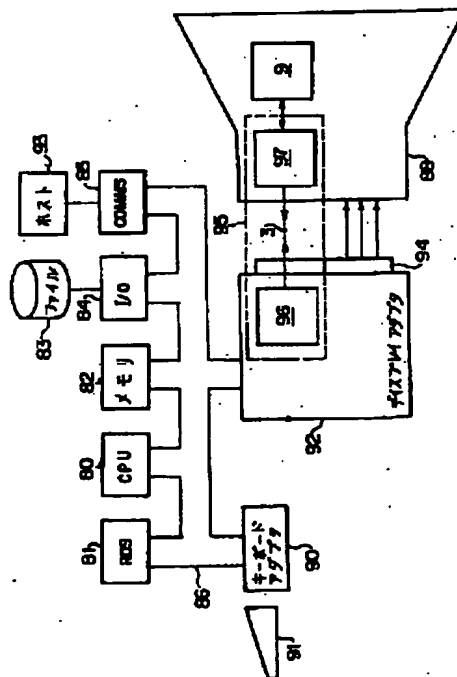
(71) 出願人 390009531
インターナショナル・ビジネス・マシー
ズ・コーポレーション
INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)
(72) 発明者 デービッド・ソウドン
イギリス国エスオー21・3イービー、ハン
プシャー、ハンプシャー、ウィンチェスタ
ー、サウス・ウォンストン、パイン・クロ
ーズ29番地
(74) 代理人 弁理士 合田 潔 (外2名)

(54) 【発明の名称】 ディスプレイ装置

(57) 【要約】

【課題】 限定なしの各種ディスプレイ装置と潜在的に互換性のあるディスプレイアダプタを有するディスプレイシステムを提供する。

【解決手段】 ディスプレイ装置88と、ディスプレイアダプタ92と、両者を接続する出力ポート94とを含むディスプレイシステムがさらに、ディスプレイ装置88に配置され、複数の制御コードの形式で制御データを記憶する持久記憶装置9と、ディスプレイアダプタ92によって発生した指令信号に応答して記憶装置9と出力ポート94間で制御コードを通信する通信ロジック95とを含むことを特徴とする。通信ロジック95はディスプレイ装置88と出力ポート94間で制御コードを通信するシリアルリンク3と、ディスプレイ装置88に配置され、記憶装置9とシリアルリンク3間で制御コードを通信する装置ロジック97と、ディスプレイアダプタ92に配置され、シリアルリンク3とディスプレイアダプタ92間で制御コードを通信するアダプタロジック96とを含む。



1

【特許請求の範囲】

【請求項 1】 コンピュータシステムのディスプレイアダプタ回路（92）に接続されるディスプレイ装置（88）において、ディスプレイアダプタ回路（92）により生成される複数のデータ信号にตอบสนองして視覚出力を発生させる手段を有するディスプレイ装置であって、前記ディスプレイ装置（88）を識別する複数の制御コードの形式で制御データを記憶するメモリ（9）と、前記メモリ（9）から制御コードを読み込み前記ディスプレイアダプタ回路（92）へ送信するための、前記ディスプレイアダプタ回路（92）からのコマンド信号（21）にตอบสนองする装置ロジック手段（97）とを含むことを特徴とするディスプレイ装置。

【請求項 2】 前記ディスプレイ装置が、前記ディスプレイ装置とディスプレイアダプタロジック回路との間で制御コードを通信するシリアルデータリンク（3）を含むことを特徴とする請求項 1 に記載のディスプレイ装置。

【請求項 3】 前記装置ロジックが、前記シリアルデータリンクに沿って前記アダプタロジック回路からコマンドビットストリーム（22）を受け取る受信器と、コマンドビットストリーム（22）をコマンド信号（21）に変換する直並列変換器と、記憶された制御コードをアクセスするためにコマンド信号（21）をメモリアドレスに変換するコマンド復号器と、制御コードを制御ビットストリームに変換する第 2 の並直列変換器と、前記シリアルデータリンクに沿って制御ビットストリームを前記アダプタロジック回路に通信するように接続されたラインドライバとを含むことを特徴とする請求項 2 に記載のディスプレイ装置。

【請求項 4】 前記並直列変換器と前記直並列変換器とが単一の集積回路モジュールで組み合わされていることを特徴とする請求項 3 に記載のディスプレイ装置。

【請求項 5】 前記ラインドライバと前記受信器とが単一の集積回路モジュールに組み込まれていることを特徴とする請求項 3 または 4 に記載のディスプレイ装置。

【請求項 6】 前記シリアルデータリンクに沿って前記アダプタロジック回路から前記装置ロジックに通信されたモード制御信号にตอบสนองして種々のディスプレイモードで作動するよう前記ディスプレイ装置を構成する手段をさらに含むことを特徴とする請求項 2 に記載のディスプレイ装置。

【請求項 7】 前記シリアルデータリンクに沿って前記アダプタロジック回路から前記装置ロジックに通信されたパラメータ制御信号にตอบสนองして前記ディスプレイ装置の駆動回路の作動パラメータを調整する手段をさらに含むことを特徴とする請求項 2 または 6 に記載のディスプレイ装置。

【請求項 8】 前記駆動回路のノードにおいて信号のデ

2

ィジタルサンプルを取得し、かつ前記シリアルデータリンクに沿って前記アダプタロジック回路から前記装置ロジックへ通信されたデータリクエスト信号にตอบสนองして前記装置ロジックから前記アダプタロジック回路へ前記シリアルデータリンクに沿って前記ディジタルサンプルを通信する手段をさらに含むことを特徴とする請求項 7 に記載のディスプレイ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、制御データ（ビデオ信号、同期信号を発生させるためのタイミングパラメータを含むデータ）がコンピュータシステムとディスプレイ装置との間で通信されるディスプレイシステムに関する。

【0002】制御データはディスプレイ装置上に表示された像の形状と解像度とを規定するパラメータを含む。例えば陰極線管（CRT）ディスプレイ装置のようなラスタ走査のディスプレイ装置からなるディスプレイシステムにおいては、前記パラメータは、ディスプレイ装置において電気回路によりラスタ走査を提供するよう生成される水平方向および垂直方向の走査信号の速度と振幅とによって決まる。像を発生させるためには、コンピュータシステムのようなビデオソースからのビデオ信号に対して走査信号が、これもビデオソースによって生成される同期化（sync）パルスによって同期化される。

【0003】

【従来の技術】あるディスプレイ装置は、単一の組のパラメータに従って単一のディスプレイモードにおいてのみ作動しうる。その他のディスプレイ装置は、種々の組のパラメータによって特徴づけられている多数のディスプレイモードの中のいずれかのモードで作動するよう構成することができる。後者を以下マルチモードディスプレイ装置と称する。コンピュータシステムにより制御されるディスプレイ装置においては、適当なビデオ信号および同期信号を発生しうるようディスプレイ装置のタイプをコンピュータシステムが識別することが好ましい。IBM PS2 レンジを含む、そのようなコンピュータシステムの多様の例ではビデオ信号および同期信号をディスプレイ装置に接続するための出力ポートを有するビデオグラフィックアダプタ（VGAアダプタ）を含む。VGAアダプタはまた、出力ポートの識別ピンがディスプレイ装置に接続されると終端される態様にตอบสนองするロジックを有する。このロジックは、これらの端子からVGAアダプタに接続されるディスプレイ装置のタイプを識別する。

【0004】英国特許第 2, 162, 026 号は、コンピュータシステムのディスプレイアダプタからビデオ信号および同期信号を受信するマルチモードディスプレイ装置を採用したディスプレイシステムの一例を記載している。このディスプレイ装置は 4 種類のディスプレイモ

3

ードのいずれかにおいて作動しうる。コンピュータシステムは正あるいは負の極性の同期パルスを提供するよう指令されうる。各極性の組合せは異なるディスプレイモードを指示する。ディスプレイ装置は、所定の同期パルス極性に応答して特定のディスプレイモードで作動するようディスプレイ装置を構成する復号ロジックを含む。

【0005】従来技術のディスプレイシステムでは、従来技術のディスプレイインターフェースは限定された数の種々のディスプレイ装置のみ識別でき、従って、そのための適当な制御信号のみしか発生できないという欠点¹⁰を有する。この限度の理由は、ディスプレイ装置の識別および制御に対して使用しうるピンの数が出力ポートの物理的形態によって制限されるからである。

【0006】

【発明が解決しようとする課題】従って、本発明の目的は、限定なしの各種ディスプレイ装置と潜在的に互換性のあるディスプレイアダプタを有するディスプレイシステムを提供することである。

【0007】

【発明の概要】本発明によれば、表示すべきデータを定²⁰義する複数のデータ信号（ディスプレイアダプタ回路からディスプレイ装置へ送信される実際にディスプレイ上に表示されるデータを含む信号）に応答して可視出力を発生するディスプレイ装置と、該ディスプレイ装置に対して独特のものである制御データにより規定された形態でデータ信号を発生させるディスプレイアダプタ回路と、該ディスプレイアダプタ回路からのデータ信号を前記ディスプレイ装置に接続し、かつ前記ディスプレイ装置からの制御データを前記ディスプレイアダプタ回路に接続するための出力ポートとを含むディスプレイシス³⁰テムであって、前記ディスプレイ装置に配置され、複数の制御コード（制御データを不揮発性メモリに16ビット形式で記憶したバイナリコード）の形式で拡張制御データを記憶する不揮発性メモリと、前記ディスプレイアダプタ回路によって発生したコマンド信号（ディスプレイアダプタ回路がディスプレイ装置との間で信号のやり取りを行うための通信コマンド）に応答してメモリと出力ポートとの間で制御コードを通信する通信ロジックとをさらに含むことを特徴とするディスプレイシステムが提⁴⁰供される。このことは、例えばいずれかの新規のディスプレイ装置の信号タイミング要件のような制御データは、ディスプレイ装置のメモリ内に保持されたデジタル制御コードの形式で記憶することができるので、ディスプレイシステムのプログラミングは、別のディスプレイ装置が出力ポートに接続される毎に更新を必要としないという利点を有する。代りに、ディスプレイアダプタは、新しいディスプレイ装置を正確に駆動するためにビデオ信号および同期信号を発生させる目的で、新しいディスプレイ装置のメモリから新しいタイミング要件を読⁵⁰み取ることができる。

4

【0008】前記通信ロジックは、ディスプレイ装置と出力ポートとの間で制御コードを通信するためのシリアルデータリンクと、メモリとシリアルデータリンクとの間で制御コードを通信する装置制御ロジックと、シリアルデータリンクとディスプレイアダプタ回路との間で制御コードを通信するアダプタ制御ロジックとを含む。このことは、ディスプレイシステムがマルチモードディスプレイ装置を含む場合、ディスプレイアダプタ回路は、希望するディスプレイモードで作動するようディスプレイ装置を構成するためにシリアルデータリンクを使用しうるという利点を有している。

【0009】

【実施例】本発明の一例を添付図面を参照して以下説明する。図1は、CRTディスプレイ装置88を有するディスプレイシステムを組み入れたコンピュータシステム¹⁰の一例を示す。

【0010】コンピュータシステムは、プログラム化された命令を実行するための中央処理装置（CPU）80を含む。バスアーキテクチャ86は、CPU80とディスプレイシステムの他の構成要素との間でのデータ通信を提供する。読取り専用メモリ（ROM）81はデータを安全に記憶する。ランダムアクセスメモリ82は一時的にデータを記憶する。ホストコンピュータシステム93とのデータ通信は通信アダプタ85によって提供される。I/Oアダプタ84は、データがバスアーキテクチャ86と、例えばディスクファイル83のような周辺装置との間を通ることができるようにする。ユーザは、キーボードアダプタ90によってバスアーキテクチャ86に接続されているキーボード91を用いてコンピュータシステムを操作することができる。CRTディスプレイ装置88はディスプレイシステムからの可視出力を提供する。ディスプレイアダプタ92は、ディスプレイ装置88が可視出力を発生できるようにするために出力ポート94においてビデオ信号および同期信号を発生させる。

【0011】本発明によれば、ディスプレイ装置88は、デジタルコードの形式のディスプレイ情報を記憶する不揮発性メモリ（NVM）9を含む。ディスプレイ情報は、通信ロジック95により制御されるシリアルリンク3に沿ってディスプレイ装置88とディスプレイアダプタ92との間で通信される。シリアルリンク3は、ディスプレイアダプタ92からディスプレイ装置までビデオ信号および同期信号を運ぶラインから分離している。通信ロジック95はアダプタロジック96と装置ロジック97とに分割されている。作動時、アダプタロジック96はNVM9からデータを読取り、かつそれへ書込む双方のコマンドを初期化し、装置ロジック97は対応して応答する。

【0012】通信ロジック95を図2を参照して以下詳細に説明する。アダプタロジック96はプログラム命令

5

にตอบสนองしてコマンドコード 21 を発生させる装置ドライバ 1 を含む。第 1 の並直列変換器 2 (シリアルライザ) は、第 1 のラインドライバ 4 がシリアルリンク 3 に沿って装置ロジック 97 に通信するようコマンドコード 21 をコマンドビットストリーム 22 に変換する。装置ロジック 97 はコマンドビットストリーム 22 を検出するための第 2 の受信器 5 を含む。第 2 の直並列変換器 6 (デ・シリアルライザ) はコマンドビットストリーム 22 をコマンドコード 21 に変換し直す。コマンド復号器 7 はコマンドコード 21 を NVM アドレス 8 へ復号化する。10 NVM 9 におけるアドレス空間はパーソナリティ NVM 10 とプログラム NVM 11 とに分割されている。

【0013】パーソナリティ NVM 10 は、ディスプレイアダプタ 92 に接続されたディスプレイ装置 88 の仕様をディスプレイシステムに提供する識別コードを含む。各識別コードは異なるアドレス位置に記憶されている。識別コードは、ディスプレイアダプタ 92 が適当なビデオ信号および同期信号を発生させることができるようにさせるコード化したタイミングパラメータを含む。詳しくは、タイミングパラメータは、同期パルス幅、活20 動ビデオ期間およびブランキング間隔を含む。また、識別コードは、装置ロジック 97 がシリアルリンク 3 からデータを読みまたそれへ書きうる最大速度を示すためのコード化した転送パラメータを含むことが好ましい。何らかの別のコマンドを発行する前に転送パラメータを読み取ることにより、アダプタロジック 96 は、データが後続してアダプタロジック 96 と装置ロジック 97 の双方と両立する速度でディスプレイ装置 88 とディスプレイアダプタ 92 との間で転送されることを保証する。各々のタイミングパラメータは、16 ビットの識別コード30 の形式で記憶される。前記コードの 15 ビットはタイミングパラメータの値を規定し、16 番目のビットは極性を規定する。より重要でないタイミングパラメータは 8 ビット以下のコードの形式で記憶しうる。パーソナリティ NVM は、ディスプレイ装置の種々のディスプレイモードに対応する数組のタイミングパラメータを記憶する。

【0014】プログラム NVM 11 は、ディスプレイ装置の駆動回路 13 により発生する駆動信号を調整するようディスプレイ入力/出力 (I/O) 回路 12 に命令す40 る制御コードを記憶している。この駆動信号の例は、ディスプレイ装置 88 からの視覚出力の高さ、幅および輝度とに直接影響する。各制御コードは異なるアドレス位置に記憶される。適当な制御コードでディスプレイ I/O 回路 12 を命令することにより、ディスプレイ装置 88 の視覚出力は、コンピュータプログラムによって制御されて種々のディスプレイモードの間で切り換えうる。プログラム NVM 11 はまた、駆動回路 13 の所定のノードにおける駆動信号の大きさを表わすサンプルコードを発生するようディスプレイ I/O 回路 12 を命令する50

6

制御コードを記憶することが好ましい。この制御コードは、製造あるいは修理の後ディスプレイ装置 88 の作動を試験するために診断方法を自動化するのに使用しうるということが認められる。

【0015】アダプタロジック 96 が、読取りコマンドを出すと、装置ロジック 97 はシリアルリンク 3 に適当な応答コード 23 を置くことにより応答する。応答コード 23 は、読取りコマンドの性格によって、パーソナリティ NVM からの識別コード 20 か、あるいはディスプレイ I/O 回路 12 からのサンプリングされたデータコード 19 でよい。そのような応答を実行するために、装置ロジック 97 は、パリティビットを応答コード 23 に追加するためのパリティロジック 14 を含む。第 2 の並直列変換器 15 が応答コード 23 を応答ビットストリーム 24 に変換する。応答ビットストリーム 24 は第 2 のラインドライバ 16 によりシリアルリンク 3 上に置かれる。ディスプレイアダプタ 92 において、第 1 の受信器 17 はシリアルリンク 3 上で応答ビットストリーム 24 を検出する。第 1 の直並列変換器 18 は、検出された応答ビットストリーム 24 を応答コード 23 へ変換し戻し、この応答コード 23 は装置ドライバ 1 により復号される。

【0016】アダプタロジックの第 1 の並直列変換器と第 1 の直並列変換器とは単一の集積回路モジュールで組み合わせることができ、第 2 の並直列変換器と第 2 の直並列変換器とを実行するために類似のモジュールを用いることができる。第 1 のラインドライバと第 1 の受信器とはまた、単一の集積モジュールに組み込むことができ、かつ第 2 のラインドライバと第 2 の受信器を実行するために類似のドライバ/受信器のモジュールを用いることができる。

【0017】アダプタロジック 96 は、「ハンドシェーキング」モードあるいは「データストリーミング」モードのいずれかで、装置ロジック 97 からの応答を受け取るよう構成しうる。「ハンドシェーキング」モードにおいては、装置ロジック 97 は、応答の次のバイトを送出する前にアダプタロジックがシリアルリンク 3 上に肯定応答コードを置くのを待機する。「データストリーミング」モードにおいて、装置ロジック 97 は、次のブロックを送出する前に応答のバイトのブロックを受け取ることアアダプタロジック 96 が確認するのを待機する。

【0018】本発明の一例を、ディスプレイアダプタ 92 からディスプレイ装置までビデオおよび同期信号を伝送するラインから分離しているシリアルリンク 3 を含む通信ロジック 95 により、ディスプレイ情報がディスプレイアダプタ 92 とディスプレイ装置 88 の間で通信させる場合について説明してきた。しかしながら、その他の通信リンクおよびコード化方法を用いることが認められる。さらに、本発明の例はラスタ走査のディスプレイ装置を含む。本発明は、例えば液晶ディスプレイ装置

7

あるいはベクトル走査のディスプレイ装置のようなその他のディスプレイ装置にも同等に適用可能なことが認められる。

【図面の簡単な説明】

【図1】ディスプレイ装置を含むディスプレイシステムを組み込んだコンピュータシステムのブロック図である。

【図2】ディスプレイアダプタとディスプレイ装置との間でディスプレイ情報を通信するための通信ロジックのブロック図である。

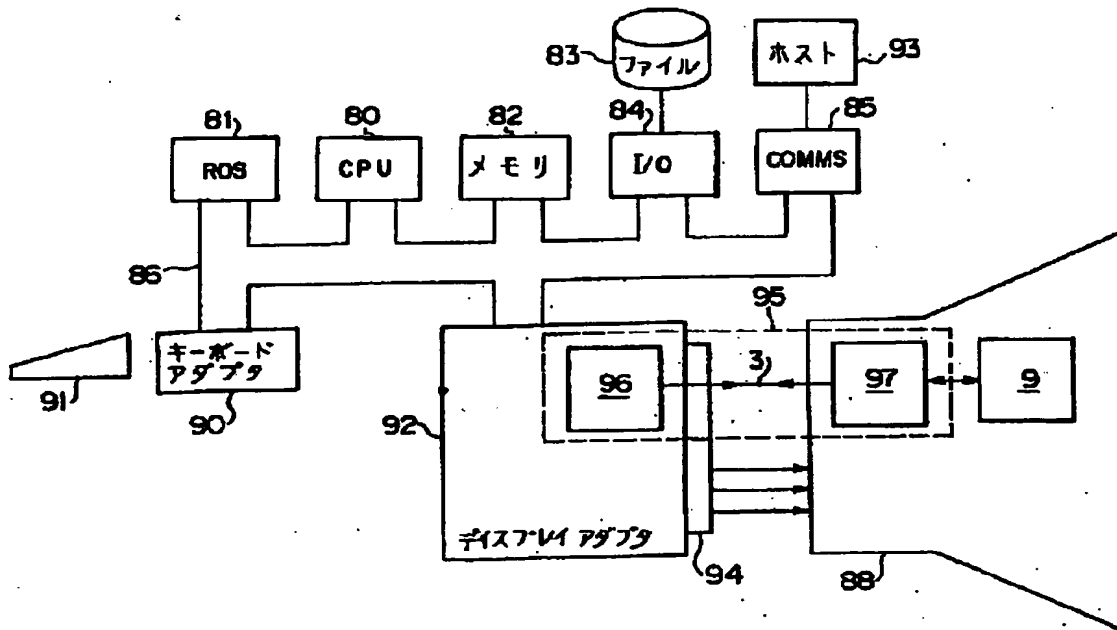
*10

8

*【符号の説明】

- 3…シリアルリンク
- 9…不揮発性メモリ
- 88…ディスプレイ装置
- 92…ディスプレイアダプタ
- 94…出力ポート
- 95…通信ロジック
- 96…アダプタロジック
- 97…装置ロジック

【図1】



【図2】

